

【特許請求の範囲】

【請求項1】 記録すべき主データと、この主データに付随して記録される少なくとも1バイト単位にて書き換えが必要な従データとを外部装置から読み込んで、これらデータを記憶するためのICメモリカードにおいて、該ICメモリカードは、前記主データを記録するための第1のメモリ領域が形成された大容量の第1の記憶素子と、前記従データを記録するための第2のメモリ領域が形成されたバイト単位の書き換えが可能な第2の記憶素子と、これら記憶素子に、前記外部装置から送られてくる各データをそれぞれのメモリ領域に分けて書き込みおよび読み出すための制御を行なう制御部とを備えていることを特徴とするICメモリカード。

【請求項2】 請求項1に記載のICメモリカードにおいて、前記制御部は、従データに対応するアドレスが外部装置から送られてきた場合に、この送られてきたアドレスの値を判別して前記第2の記憶素子を選択し、該記憶素子のメモリ領域の所定のアドレスをアクセスして、その従データの書き込みまたは読み出すためのアドレス制御を行ない、前記主データに対応するアドレスが外部装置から送られてきた場合に、このアドレス値を判別して前記第2の記憶素子を選択し、該記憶素子のメモリ領域の所定のアドレスをアクセスして、その主データを書き込みまたは読み出すためのアドレス制御を行なうことを特徴とするICメモリカード。

【請求項3】 請求項2に記載のICメモリカードにおいて、前記第1の記憶素子のメモリ領域と、第2の記憶素子のメモリ領域の論理アドレスは、第1の記憶素子から第2の記憶素子または第2の記憶素子から第1の記憶素子に連続して付され、外部装置は、該論理アドレスを用いてデータの格納先を指定して、前記制御部は、該論理アドレスにてそのアドレス制御を行なうことを特徴とするICメモリカード。

【請求項4】 請求項1に記載のICメモリカードにおいて、前記第1の記憶素子は、フラッシュ消去型のEEPROMにて構成されていることを特徴とするICメモリカード。

【請求項5】 請求項1に記載のICメモリカードにおいて、前記第2の記憶素子は、バイト書き換え型のEEPROMにて構成されていることを特徴とするICメモリカード。

【請求項6】 請求項1に記載のICメモリカードにおいて、前記主データは画像データであり、前記従データは、前記画像データの記録先番地等をそれぞれの主データに対応して記録するためのデータ管理情報であることを特徴とするICメモリカード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、たとえば画像データや文字データなどのデータを記憶するためのICメモリカードに関する。

【0002】

【従来の技術】 近年、電子スチルカメラ等の画像データやワードプロセッサ等の文字データを記録する媒体として、フロッピーディスクに代わり、半導体メモリを用いたより小型なICメモリカードが使用されるようになってきた。

【0003】 従来、このようなICメモリカードには、高速な読み出しおよび書き込みを行なうことができるスタティックRAM(SRAM)が用いられていた。しかしながら、このSRAMは揮発性の半導体メモリであるので、バックアップ用の電池が必要であり、また、画像データのように大容量のデータを記憶するものになると、高価となってICメモリカードの値段が高くなるという問題があった。

【0004】 そこで、近年、安価でしかもバックアップ電池の必要がない不揮発性の半導体メモリであるEEPROM(電気的に消去・再書き込み可能な脱出専用メモリ)をICメモリカードに採用することが検討されている。

【0005】 このEEPROMは、その記憶期間が電池無しで10年間以上と優れており、近年ではSRAMに匹敵する読み出しおよび書き込み速度を備えるようになって、しかもその値段がSRAMの4分の1程度のもので開発されている。

【0006】 このようなEEPROMには、すべてのデータを一括的に消去またはセクタ単位もしくはページ単位等のあるブロック単位にて消去するフラッシュ消去タイプのものと、バイト単位の消去を行なうバイト書き換え型の2種類のタイプがあった。フラッシュ型のEEPROMとしては、日立製のEN29C101や三菱電気製のM5M28F101などがある。バイト書き換え型のEEPROMとしては、富士通製のMBM28C256や日本電気製のμPD28C256などが市販されている。

【0007】

【発明が解決しようとする課題】 しかしながら、バイト書き換え型のEEPROMはその構成上、大容量のものになるとフラッシュ型のものに比べて高価であった。したがって、ICメモリカードにバイト書き換え型のEEPROMを用いてカードを構成した場合、SRAMと同様なアクセスが可能である反面、大容量の画像データを記憶するものになると、高価なものになってしまうという欠点があった。

【0008】 一方、フラッシュ消去型のEEPROMを用いてカードを構成した場合、安価なカードを構成することができるが、データの部分的な書き換えを行ないにくい。したがって、たとえばデータの記録番地等のデータ管理情報を画像データとともに記録しておく場合、その管理情報の書き換えがバイト単位の書き換えが必要となるが、フラッシュタイプでは書き換えの必要がない情報も消去してしまい不都合が生じるという問題があった。

【0009】 本発明は、このような従来技術の欠点を解消し、安価で、しかも管理情報等のデータを容易に書き換えることができるICメモリカードを提供することを目的とする。

【0010】

【課題を解決するための手段】本発明によるICメモリカードは上述した課題を解決するために、記録すべき主データと、この主データに付随して記録される少なくとも1バイト単位にて書き換えが必要な従データとを外部装置から読み込んで、これらデータを記憶するためのICメモリカードにおいて、このICメモリカードは、主データを記録するための第1のメモリ領域が形成された大容量の第1の記憶素子と、従データを記録するための第2のメモリ領域が形成されたバイト単位の書き換えが可能な第2の記憶素子と、これら記憶素子に、外部装置から送られてくる各データをそれぞれのメモリ領域に分けて書き込みおよび読み出すための制御を行なう制御部とを備えていることを特徴とする。

【0011】この場合、制御部は、従データに対応するアドレスが外部装置から送られてきた場合に、この送られてきたアドレスの値を判別して第2の記憶素子を選択し、この記憶素子のメモリ領域の所定のアドレスをアクセスして、その従データを書き込みまたは読み出すためのアドレス制御を行ない、主データに対応するアドレスが外部装置から送られてきた場合に、このアドレスの値を判別して第2の記憶素子を選択して、この記憶素子のメモリ領域の所定のアドレスをアクセスして、その主データを書き込みまたは読み出すためのアドレス制御を行なうことを特徴とする。

【0012】また、この場合、第1の記憶素子のメモリ領域と、第2の記憶素子のメモリ領域の論理アドレスは、第1の記憶素子から第2の記憶素子または第2の記憶素子から第1の記憶素子に連続して付されて、外部装置は、この論理アドレスを用いてデータの格納先を指定し、制御部は、この論理アドレスにてそのアドレス制御を行なうとよい。

【0013】一方、この発明は、第1の記憶素子をフラッシュ消去型のEEPROMにて構成すると有利である。

【0014】また、この発明は、第2の記憶素子をバイト書き換え型のEEPROMにて構成するとさらに有利である。

【0015】さらに、この発明においては、主データが画像データで、従データが画像データの記録先番地等をそれぞれの主データに対応して記録するデータ管理情報である場合に用いるとより効果的である。

【0016】

【作用】本発明に係るICメモリカードによれば、容量の大きい画像データ等の主データを第1のメモリ領域に記録して、少なくともバイト単位に書き換える必要なデータ管理情報等の従データを第2のメモリ領域に記録して、第1のメモリ領域をフラッシュ消去型のEEPROM等の第1の記憶素子にて構成し、第2のメモリ領域をバイト消去型のEEPROM等の第2の記憶素子にて構成して、外部装置から読み込んだアドレスに基づいて、それぞれのデ

ータを記録するので、第1のメモリ領域の主データを書き換えた際に、第2のメモリ領域に格納されたそれぞれの従データをバイト単位に有効に書き換え得る。

【0017】

【実施例】次に添付図面を参照して本発明に係るICメモリカードの実施例を詳細に説明する。

【0018】この実施例におけるICメモリカード1は、図1に示すようにデータを記憶するためのメモリ部10と、このメモリ部10へのデータの書き込み制御、または読み出し制御を行なうための制御部20とから構成されている。このICメモリカード1は電子ステルカメラまたはその再生装置等の外部装置にコネクタ22を介して着脱自在に接続される。

【0019】メモリ部10は、バイト書き換え型のEEPROM（電氣的に消去および再書き込み可能なメモリ）30と、フラッシュ消去型のEEPROM40とから構成されている。バイト書き換え型EEPROM30には、自カード1に関する情報およびデータ記録に関する情報等の管理情報を記憶するための管理領域が形成され、フラッシュ消去型EEPROM40には、画像データを記憶するためのデータ領域40が形成されている。なお、管理領域は電子ステルカメラ等の画像データを記録する方式においてはヘッダ領域と呼ばれ、以下管理領域をヘッダ領域と記す。

【0020】このヘッダ領域は、図2に示すように0番地から34番地までの論理アドレスが付されている。各番地は1バイトすなわち8ビット構成にて形成され、その0番地には、このカードのカードナンバが記録される。このカードナンバは使用者にて指定される。

【0021】1～11番地には、ラベルが書き込まれる。このラベルも使用者によって書き込まれるもので、10バイト分の文字情報を書き込むことができるように構成されている。このラベルには、たとえば使用目的や使用者の名前等を書き込むとよい。

【0022】12～13番地は、データ領域への画像データの書き込みが何番地まで行なわれているかを、その最終使用アドレスを書き込むことにより指示するための領域である。この最終使用アドレスは、画像データの書き込みの後に外部装置から送られてくる。

【0023】14番地はデータ領域に何枚の画像が記録されているかを指示するための画像記録済枚数データが記録される。この画像記録済枚数データは、外部装置からそのとき合計何枚分の画像データを送出したかが枚数データとして送られ、その枚数データと前回までの枚数データとが合計されて書き込まれる。

【0024】15～34番地は、データ領域に記録されたそれぞれの画像データのスタートアドレスとエンドアドレスとを記録するための領域であり、スタートアドレスおよびエンドアドレスそれぞれに2バイトづつ割り当てられている。

【0025】このヘッダ領域が形成されるバイト書き換

え型のEEPROM30は、この領域が34バイトと極めて小容量なので、安価なものによって実現することができ、たとえば富士通製のMBM μ 28C256や日本電気製の μ PD28C256などが用いられる。このヘッダ領域の管理情報は、カード1を外部装置に接続してそのスイッチがオンとなったときに、カード1から外部装置にすべて読み出される。外部装置は、この管理情報に基づいてメモリカード1から画像データの読み出しおよびそれへの書き込みを行なうようになっている。

【0026】フラッシュ消去型のEEPROM40に形成されたデータ領域は、図3に示すように、たとえば、第1画像データ～第10画像データと10枚分の画像データを記憶するように10ブロックにフォーマットされている。この実施例においては、各ブロックはそれぞれ6550バイトが割り当てられており、第1の画像データブロックの論理アドレスは、ヘッダ領域の最終番地に続いて35番地から始まり6585番地まで割り当てられている。以下6550番地づつ割り当てられ、第10画像データブロックが58985番地から65535番地となっている。

【0027】このフラッシュ型EEPROM40は、全データ一括消去、または一画像分もしくはそれ以上のデータブロックの消去を一括して行なうことができる記憶素子である。このフラッシュ型EEPROM40は画像データを記憶するため大容量となるが、フラッシュ型のEEPROMは安価に構成できるのでカード全体としても安価なものとしてできる。このフラッシュ型EEPROM40としては、日立製のHN29C101や三菱電気製のM5M28F101などがある。

【0028】図1に戻って、制御部20は、バイト書き換え型EEPROM30に記録される管理情報およびフラッシュ消去型EEPROM40に記録される画像データの書き込みおよび読み出しのためのアドレス制御を行なう制御回路であり、特に、この実施例においては、外部装置から送られてくるアドレスの値を判別して、その値がヘッダ領域の最終アドレス34番地以下の値か、データ領域の35番地以上の値か否かを判別してそれぞれのEEPROM30, 40をアクセスする制御を行なうアドレス制御機能を有している。

【0029】この制御部20は、アドレスラッチ回路202と、データバッファ回路204と、アドレス判別回路206と、メモリコントローラ208, 210と、システムコントローラ212とを備えている。

【0030】アドレスラッチ回路202は、外部装置からコネクタ22を介して送られてくるアドレスをラッチする回路であり、システムコントローラ212から送出されるタイミング信号に応じて動作する。

【0031】データバッファ回路204は、外部装置からコネクタ22を介して送られてくる書き込みデータおよびメモリ部10から読み出されたデータを一旦保持するための回路である。このデータバッファ回路204は、たとえば1バイト分のデータを保持する。

【0032】アドレス判別回路206は、アドレスラッチ

回路202にてラッチされたアドレスを読み取って、その値がヘッダ領域の最終番地34以下か、データ領域の先頭番地35以上の値か否かを判別して、その値が34以下であれば選択信号S1をメモリコントローラ208へ送出し、その値が35以上であれば選択信号S2をメモリコントローラ210へ送出する比較回路である。

【0033】メモリコントローラ208は、バイト書き換え型のEEPROM30をアクセスする回路であり、アドレス判別回路206から選択信号S1が送出されたときに起動して、バイト書き換え型EEPROM30へチップイネーブル信号CE1を送出するとともに、システムコントローラ212の制御の下にバイト書き換え型EEPROM30へライト信号WR1またはリード信号RD1を送出する。このメモリコントローラ208は、そのアクセスがデータ書き換えの場合は、ライト信号WR1の送出の前に、消去信号EE1を送出して、そのアドレスの前のデータを消去させる。

【0034】同様にメモリコントローラ210は、フラッシュ消去型のEEPROM40をアクセスする回路であり、アドレス判別回路206から選択信号S2が送出されたときに起動して、EEPROM40へチップイネーブル信号CE2を送出するとともにライト信号WR2またはリード信号RD2を送出する回路である。このメモリコントローラ210は、最初のデータ書き換え前に、消去信号EE2を送出して、データ領域の全データを消去させる。

【0035】システムコントローラ212は上記各部を制御する制御回路であり、外部装置から送られてくる制御信号に応じて各部を制御して、その制御中には外部装置に動作中である旨の制御信号、BUSY信号を送出する。詳細には、外部装置からアドレスとともにライト信号WRが送られてくると、このライト信号WRに応じてアドレスラッチ回路202へアドレスをラッチするためのタイミング信号を送出する。アドレスがラッチ回路202にラッチされると、アドレス判別回路206を起動してアドレスラッチ回路202にラッチされたアドレスの判別を行なわせるとともに、アドレスラッチ回路202にラッチされているアドレスを読み出してEEPROM30, 40へ転送する。その後、データとともにライト信号WRまたはリード信号RDが送られてくると、メモリコントローラ208, 210へそれらの信号を転送するとともに、データバッファ回路204へタイミング信号を送出してデータを読み込ませる。データ書き換えの場合は、メモリコントローラ208, 210を制御してデータの消去を行なわせるとともに、この間、外部装置へBUSY信号を送出するそれぞれの制御を行なう。

【0036】次に、上記構成におけるICメモリカード1の各部の動作をデータの書き込み処理を例に挙げて説明する。

【0037】まず、操作者は、ICメモリカード1を、そのコネクタ22を外部装置のアドレス・データバスおよび制御バスへ接続して外部装置に装着する。次いで外部装

7

置の電源をオンとして所定の操作を行なう。

【0038】この場合、外部装置の電源をオンすると、外部装置からデータ管理情報を読み出すためのアドレスが順次送出される。このアドレスは、アドレスラッチ回路202にラッチされる。そのアドレスは、34番地以下であるので、アドレス判別回路206は、メモリコントローラ208に選択信号S1を送出する。これにより、メモリコントローラ208が起動して、バイト書き換え型EEPROM30にチップイネーブル信号CEを送出する。次いで、外部装置からリード信号RDが送出され、このリード信号RDは、システムコントローラ212を介してメモリコントローラ208からバイト書き換え型EEPROM40にリード信号RD1として送出され、このリード信号RD1に忠導してヘッダ領域の管理データが順次データバッファ204を介して外部装置に読み出されていく。

【0039】外部装置は、読み込んだヘッダ領域の管理情報に基づいて画像データの書き込みまたは読み出しを行なう。管理情報の読み込みが終了すると、外部装置は操作可能状態となる。

【0040】次いで、画像データの記録を行なう場合、外部装置は、ICメモリカード1に画像データを書き込むためのアドレスを送出する。まず、第1画像データを記録する場合、先頭アドレス「35」を送出する。このアドレスとともに、外部装置は、ライト信号WRを送出する。このライト信号WRは、カード1にアドレスの読み込みを行なわせるため制御信号である。

【0041】システムコントローラ212は、その信号WRに忠導してアドレスラッチ回路202にタイミング信号を送出する。これにより、アドレスラッチ回路202は、アドレス「35」をラッチする。

【0042】次いで、システムコントローラ212は、アドレス判別回路206を起動する。これにより、アドレス判別回路206は、アドレスラッチ回路202にラッチされたアドレスを読み込んで、その値を判別する。この場合、アドレス値が「35」であるので、アドレス判別回路206はメモリコントローラ210へ選択信号S2を送出する。

【0043】これにより、メモリコントローラ210は、フラッシュ消去型EEPROM40へチップイネーブル信号CE2を送出する。この結果、アドレスラッチ回路202にラッチされたアドレスがフラッシュ消去型EEPROM40へ読み込まれ、そのアドレスがアクセスされる。

【0044】次いで、メモリコントローラ212は、メモリコントローラ210にフラッシュ消去型EEPROM40のデータを消去させるための制御を行なう。これにより、メモリコントローラ210は、消去信号EE2を送出してフラッシュ消去型EEPROM40のデータを消去させる。この間、システムコントロール212は、外部装置に動作中であることを示すBUSY信号を送出して、データ送出を停止させる。

【0045】消去が終了すると、システムコントローラ40は、BUSY信号を解除する。これにより、外部装置から

8

最初の8ビット分の画像データとともにライト信号WRが送出される。

【0046】システムコントローラ212は、ライト信号WRに忠導して、データバッファ回路204へタイミング信号を送出するとともに、ライト信号WRをメモリコントローラ210へ転送する。これにより、メモリコントローラ210は、EEPROM40へライト信号WR2を送出する。この結果、外部装置から送出された第1画像の最初の8ビットのデータが、データバッファ回路204を介してデータ領域の第1画像データブロックへ書き込まれる。

【0047】次いで、メモリコントローラ210は、アドレスのインクリメントを行ない、次の8ビット分の第1画像データが外部装置から送られてくると、ライト信号WR2をEEPROM40へ送出して、アドレス「36」にそのデータを書き込む。この動作が繰り返されて第1画像データがEEPROM40の第1画像ブロックに記録される。

【0048】次いで、外部装置は、第1画像データ記録に関する管理情報を書き換えるためのデータ処理を行なう。この場合、まず、最終使用アドレスを書き換えるためのアドレス「12」をライト信号WRとともに送出する。これにより、システムコントローラ212は、ライト信号WRに忠導して、アドレスラッチ回路202へタイミング信号を送出して、アドレス「12」をラッチさせる。

【0049】次いで、システムコントローラ212は、アドレス判別回路206を起動させ、アドレスラッチ回路202にラッチされたアドレス「12」を判別させる。アドレス判別回路204は、その値が34以下であるので、メモリコントローラ208へ選択信号S1を送出する。この結果、メモリコントローラ208は、バイト書き換え型EEPROM30にチップイネーブル信号CE1を送出してEEPROM30をアクティブとし、アドレスラッチ回路202にラッチされたアドレスをEEPROM30に供給する。

【0050】次いで、メモリコントローラ208は、消去信号EE2を送出する。これにより、前回の最終使用アドレスが消去される。この消去の間に、システムコントローラ212は、外部装置へBUSY信号を送出して、データの送出を停止させている。消去が終了すると、外部装置は、最終使用アドレス、この場合「6585」の最初のバイトをライト信号WRとともに送出する。システムコントローラ212は、ライト信号WRをメモリコントローラ208へ転送するとともに、データバッファ回路204へタイミング信号を送出する。これにより最終使用アドレスがデータバッファ回路204へ保持されるとともに、メモリコントローラ208からEEPROM30へライト信号WR1が送出される。この結果、データバッファ回路204を介して外部装置から読み込まれた最終使用アドレス「6585」の最初のバイトがヘッダ領域の12番地に書き込まれる。次いで、アドレスがメモリコントローラ208にてインクリメントされ、最終使用アドレス「6585」の2バイト目が外部装置から送られてくると、その情報を13番地に書き込む。

【0051】以下同様に、外部装置から画像記録枚数データ「1」が送られて、14番地の枚数が「1」となる。次に、画像1のスタートアドレスが送出されて、上記と同様にヘッダ領域の15,16番地が書き込まれる。すなわち15,16番地に、画像1のスタートアドレス「35」が書き込まれる。また、画像1のエンドアドレス「6585」が17番地および18番地に書き込まれる。

【0052】次いで、第2画像データを書き込むためのアドレスが外部装置から送られてくると、上記と同様にラッチしたアドレスをアドレス判別回路206にて判別してメモリコントローラ210が起動され、第2画像データブロックに2番目の画像データが書き込まれる。この場合も上記と同様に、画像データの書き込みの後に、ヘッダ領域の最終使用アドレス、画像記録枚数、画像2のスタートアドレスおよびエンドアドレスの書き換えがそれぞれ行なわれる。以下同様に、第3画像データ～第10画像データの書き込みの度毎に、そのヘッダ領域の書き換えが行なわれる。

【0053】このように本実施例においては、画像データを書き込むためのデータ領域をフラッシュ型EEPROM40に形成し、その管理情報を記録するためのヘッダ領域をバイト書き換え型EEPROM30に形成したので、バイト単位の書き換えが必要なヘッダ領域を必要な部分のみデータの書き込みの後に書き換えることができ、外部装置は必要な部分のみ更新してヘッダ領域に書き込むことができる。

【0054】また、この場合、ICメモリカード1の価格を決定するデータ領域のメモリ素子がフラッシュ型EEPROM30にて構成されているので、従来のSRAMのものに比べてかなり安価なものとなる。

【0055】なお、上記実施例においてヘッダ領域およびデータ領域が図2および図3のように構成されていたが、本発明はこれに限るものではなく、たとえば画像データをデータ領域の任意の空き番地にランダムに記録するようにしてもよく、この場合、一枚分の画像データを分散してもよく、そのためヘッダ領域にはそれらの接続情報等を記憶するようにしてもよい。また、画像データ

に限ることなく、文字データやその他のデータでもよい。

【0056】

【発明の効果】本発明に係るICメモリカードによれば、管理データ等の少なくともバイト書き換えを行ななければならない従データを第1の記憶素子に記憶して、画像データ等の大容量の主データを第2の記憶素子に記憶して、それらデータを異なる記憶素子に分けて記憶するように構成したので、そのICメモリカードの第2の記憶素子に、フラッシュEEPROM等の安価な大容量の記憶素子を用いることにより、ICメモリカードを安価に構成することができる。この場合、第1の記憶素子をバイト書き換え型のEEPROMにて構成すると、SRAMと同様に、管理データ等の少なくともバイト書き換えを行なうデータを効率良く書き換え、記録することができる。したがって、SRAMを用いたICメモリカードに較べて、安価でしかもデータ書き換えに不都合のないICメモリカードを実現することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明によるICメモリカードの一実施例を示すブロック図である。

【図2】本発明の実施例における管理領域のフォーマット例を示す概念図である。

【図3】本発明の実施例におけるデータ領域のフォーマット例を示す概念図である。

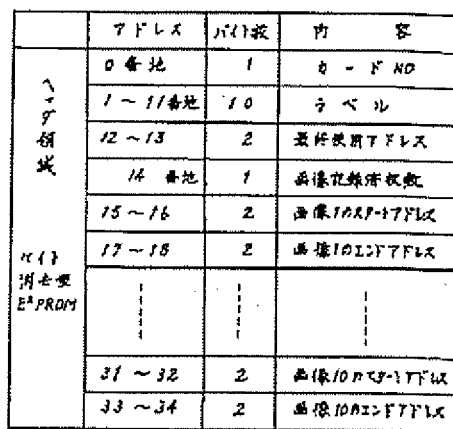
【符号の説明】

- 1 メモリカード
- 10 メモリ部
- 20 制御部
- 22 コネクタ
- 30 管理領域（バイト書き換え型EEPROM）
- 40 データ領域（フラッシュ型EEPROM）
- 202 アドレスラッチ回路
- 204 データバッファ
- 206 アドレス判別回路
- 208, 210 メモリコントローラ
- 212 システムコントローラ

【図3】

	アドレス	バイト数	内 容
画像データ領域	35～ 6585	—	第1画像データ
	—	—	—
フラッシュ型EEPROM	58985～ 65535	—	第10画像データ

【图2】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成8年(1996)11月22日

【公開番号】特開平4-263386
 【公開日】平成4年(1992)9月18日
 【年通号数】公開特許公報4-2634
 【出願番号】特願平3-43969
 【国際特許分類第6版】

G06K 19/07
 G06F 12/06 520
 G11C 16/06

【F1】

G06K 19/00 N 7623-5B
 G06F 12/06 520 7623-5B
 G11C 17/00 309 Z 9176-5L

【手続補正書】

【提出日】平成7年8月22日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 記録すべき主データと、この主データに付随して記録される少なくとも1バイト単位にて書き換えが必要な従データとを外部装置から読み込んで、これらデータを記憶するためのICメモリカードにおいて、該ICメモリカードは、前記主データを記録するための第1のメモリ領域が形成された大容量の第1の記憶素子と、前記従データを記録するための第2のメモリ領域が形成されたバイト単位の書き換えが可能な第2の記憶素子と、これら記憶素子に、前記外部装置から送られてくる各データをそれぞれのメモリ領域に分けて書き込みおよび読み出すための制御を行なう制御部とを備えていることを特徴とするICメモリカード。

【請求項2】 請求項1に記載のICメモリカードにおいて、前記制御部は、従データに対応するアドレスが外部装置から送られてきた場合に、この送られてきたアドレスの値を判別して前記第2の記憶素子を選択し、該記憶素子のメモリ領域の所定のアドレスをアクセスして、その従データの書き込みまたは読み出すためのアドレス制御を行ない、前記主データに対応するアドレスが外部装置から送られてきた場合に、このアドレス値を判別して前記第1の記憶素子を選択し、該記憶素子のメモリ領域の所定のアドレスをアクセスして、その主データを書き込みまたは読み出すためのアドレス制御を行なうことを

特徴とするICメモリカード。

【請求項3】 請求項2に記載のICメモリカードにおいて、前記第1の記憶素子のメモリ領域と、第2の記憶素子のメモリ領域の論理アドレスは、第1の記憶素子から第2の記憶素子または第2の記憶素子から第1の記憶素子に連続して付され、

外部装置は、該論理アドレスを用いてデータの格納先を指定して、

前記制御部は、該論理アドレスにてそのアドレス制御を行なうことを特徴とするICメモリカード。

【請求項4】 請求項1に記載のICメモリカードにおいて、前記第1の記憶素子は、フラッシュ消去型のEEPROMにて構成されていることを特徴とするICメモリカード。

【請求項5】 請求項1に記載のICメモリカードにおいて、前記第2の記憶素子は、バイト書き換え型のEEPROMにて構成されていることを特徴とするICメモリカード。

【請求項6】 請求項1に記載のICメモリカードにおいて、前記主データは画像データであり、前記従データは、前記画像データの記録先番地等をそれぞれの主データに対応して記録するためのデータ管理情報であることを特徴とするICメモリカード。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】この場合、制御部は、従データに対応するアドレスが外部装置から送られてきた場合に、この送られてきたアドレスの値を判別して第2の記憶素子を選択し、この記憶素子のメモリ領域の所定のアドレスをアクセスして、その従データを書き込みまたは読み出すためのアドレス制御を行ない、主データに対応するアドレス

が外部装置から送られてきた場合に、このアドレスの値を判別して第1の記憶素子を選択して、この記憶素子のメモリ領域の所定のアドレスをアクセスして、その主データを書き込みまたは読み出すためのアドレス制御を行なうことを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】アドレスラッチ回路202は、外部装置からコネクタ22を介して送られてくるアドレスをラッチする回路であり、システムコントローラ212から送出されるタイミング信号に応動して動作する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】システムコントローラ212は上記各部を制御する制御回路であり、外部装置から送られてくる制御信号に応動して各部を制御して、その制御中には外部装置に動作中である旨の制御信号、BUSY信号を送出する。詳細には、外部装置からアドレスとともにライト信号WRが送られてくると、このライト信号WRに応動してアドレスラッチ回路202へアドレスをラッチするためのタイミング信号を送出する。アドレスがラッチ回路202にラッチされると、アドレス判別回路206を起動してアドレスラッチ回路202にラッチされたアドレスの判別を行なわせるとともに、アドレスラッチ回路202にラッチされているアドレスを読み出してEEPROM30,40へ転送する。その後、データとともにライト信号WRまたはリード信号RDが送られてくると、メモリコントローラ208,210へそれらの信号を転送するとともに、データバッファ回路204へタイミング信号を送出してデータを読み込ませる。データ書き換えの場合は、メモリコントローラ208,210を制御してデータの消去を行なわせるとともに、この間、外部装置へBUSY信号を送出するそれぞれの制御を行なう。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】この場合、外部装置の電源をオンとすると、外部装置からデータ管理情報を読み出すためのアドレスが順次送出される。このアドレスは、アドレスラッチ回路202にラッチされる。そのアドレスは、34番地以下であるので、アドレス判別回路206は、メモリコントローラ208に選択信号SIを送出する。これにより、メモ

リコントローラ208が起動して、バイト書き換え型EEPROM30にチップイネーブル信号CEを送出する。次いで、外部装置からリード信号RDが送出され、このリード信号RDは、システムコントローラ212を介してメモリコントローラ208からバイト書き換え型EEPROM30にリード信号RD1として送出され、このリード信号RD1に応動してヘッダ領域の管理データが順次データバッファ204を介して外部装置に読み出されていく。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正内容】

【0040】次いで、画像データの記録を行なう場合、外部装置は、ICメモリカード1に画像データを書き込むためのアドレスを送出する。まず、第1画像データを記録する場合、先頭アドレス「35」を送出する。このアドレスとともに、外部装置は、ライト信号WRを送出する。このライト信号WRは、カード1にアドレスの読み込みを行なわせるための制御信号である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】システムコントローラ212は、その信号WRに応動してアドレスラッチ回路202にタイミング信号を送出する。これにより、アドレスラッチ回路202は、アドレス「35」をラッチする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正内容】

【0048】次いで、外部装置は、第1画像データ記録に関する管理情報を書き換えるためのデータ処理を行なう。この場合、まず、最終使用アドレスを書き換えるためのアドレス「12」をライト信号WRとともに送出する。これにより、システムコントローラ212は、ライト信号WRに応動して、アドレスラッチ回路202へタイミング信号を送出して、アドレス「12」をラッチさせる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正内容】

【0050】次いで、メモリコントローラ208は、消去信号EE1を送出する。これにより、前回の最終使用アドレスが消去される。この消去の間に、システムコントローラ212は、外部装置へBUSY信号を送出して、データの

送出を停止させている。消去が終了すると、外部装置は、最終使用アドレス、この場合「6585」を表わすアドレスの最初のバイトをライト信号WRとともに送出する。システムコントローラ212は、ライト信号WRをメモリコントローラ208へ転送するとともに、データバッファ回路204へタイミング信号を送出する。これにより最終使用アドレスがデータバッファ回路204へ保持されるとともに、メモリコントローラ208からEEPROM30へライト信号WR1が送出される。この結果、データバッファ回路204を介して外部装置から読み込まれた最終使用アドレス「6585」を表わす最初のバイトがヘッダ領域の12番地に書き込まれる。次いで、アドレスがメモリコントローラ208にてインクリメントされ、最終使用アドレス「6585」を表わす2バイト目の情報が外部装置から送られてくると、

その情報を13番地に書き込む。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正内容】

【0051】以下同様に、外部装置から画像記録済枚数データ「1」が送られて、14番地の枚数が「1」となる。次に、画像1のスタートアドレスが送出されて、上記と同様にヘッダ領域の15,16番地が書き込まれる。すなわち15,16番地に、画像1のスタートアドレス「35」が書き込まれる。また、画像1のエンドアドレス「6585」が17番地および18番地に書き込まれる。